

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-002579

(43)Date of publication of application : 08.01.1991

(51)Int.Cl.

G01R 31/318

(21)Application number : 01-136504

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.05.1989

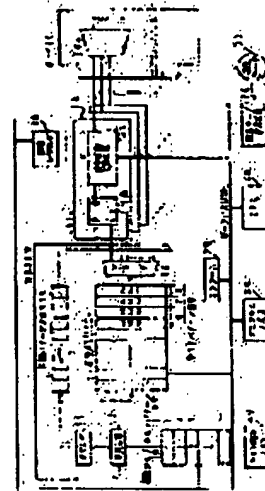
(72)Inventor : KAMEYAMA SHUICHI
SHINODA KOICHI
ONO FUMIO
YAMAMOTO SHINJI

(54) METHOD AND DEVICE FOR LOGIC CIRCUIT TEST USING COMPRESSED DATA

(57)Abstract:

PURPOSE: To reduce the need for a storage medium for necessary test pattern storage and to shorten a data transfer time and a required test time by removing ineffective data and compressing a test pattern.

CONSTITUTION: The test pattern is compressed by removing the ineffective data which is generally the majority of the data of the test pattern. Data obtained by compressing the test pattern regarding a logic circuit on a board 10 to be tested and input/output assignment data are written on a magnetic tape 22 and read out by a magnetic tape reader 24. A CPU 26 compresses the test pattern read by the device 24 according to a program and the compressed data is written on a counted number memory 30 and a pin number memory 32 which constitute part of a test pattern memory. The logic value of a pin number written on the pin number memory 32 is written on a compressed pattern memory 34. Thus, the test pattern is compressed, so the amount of data becomes very small and the storage medium for necessary test pattern storage is reducible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-2579

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月8日

G 01 R 31/318

8912-2G G 01 R 31/28

A

審査請求 未請求 請求項の数 3 (全12頁)

⑯ 発明の名称 圧縮データを用いた論理回路試験方法及びその装置

⑰ 特 願 平1-136504

⑱ 出 願 平1(1989)5月30日

⑲ 発 明 者 亀 山 修 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 篠 田 耕 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 大 野 文 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 山 本 真 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
 ⑲ 代 理 人 弁理士 井 桁 貞 一 外2名

明 細 書

1. 発明の名称

圧縮データを用いた論理回路試験方法及びその装置

2. 特許請求の範囲

1) . 試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成し(15)、

該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し(25)、

該圧縮データを記憶媒体に記憶し(35)、

該記憶媒体から該圧縮データを順次読み出し(45)、

読み出された該圧縮データから圧縮前のテストパターンを復元し(55)、

復元した該入力パターンを該論理回路に供給し

て該論理回路を動作させ(65)、

該論理回路の出力パターンと復元した該正常出力パターンとを比較する(75)

ことを特徴とする、圧縮データを用いた論理回路試験方法。

2) . 入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうちテストに有効なビットかつ2値の一方の値を有するビットに対応した入出力点識別番号と、該テストパターンに属する該入出力点識別番号の個数とからなる圧縮データを記憶する手段(1)と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段(2)と、

復元した該入力パターンを試験対象である論理回路(4)に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段(3)と、

特開平 3-2579(2)

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

3) 入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前回値と異なるビットに対応した入出力点識別番号と、該入出力点識別番号に対応した該ビットの値と、該テストパターンに属する該入出力点識別番号の個数とからなる圧縮データを記憶する手段(1)と、

該記憶手段から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元するテストパターン復元手段(2)と、

復元した該入力パターンを試験対象である論理回路(4)に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較することにより該論理回路の試験を行う試験実行手段(3)と、

を有することを特徴とする、圧縮データを用いた論理回路試験装置。

- 3 -

試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成し、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換し、該圧縮データを記憶媒体に記憶し、該記憶媒体から該圧縮データを順次読み出し、読み出された該圧縮データから圧縮前のテストパターンを復元し、復元した該入力パターンを該論理回路に供給して該論理回路を動作させ、該論理回路の出力パターンと復元した該正常出力パターンとを比較するように構成する。

【産業上の利用分野】

本発明はテストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関する。

2. 発明の詳細な説明

【図次】

概要

産業上の利用分野

従来の技術(第9～11図)

発明が解決しようとする課題

課題を解決するための手段(第1～2図)

作用

実施例

第1実施例(第3～5図)

第2実施例(第7～8図)

発明の効果

【概要】

テストパターンを圧縮したデータを用いて論理回路の動作試験を行う論理回路試験方法及びその装置に関し、

必要なテストパターン格納用記憶媒体を少なくしてデータ転送時間及び試験所要時間を短縮することを目的とし、

- 4 -

【従来の技術】

論理回路の動作試験では、テストデータを用いて、入力パターンと正常出力パターンとの組合せからなるテストパターンのうち、入力パターンを論理回路に供給し、論理回路に1個のクロックパルスを供給してこの論理回路を動作させた後その出力パターンと正常出力パターンとを比較して論理回路の動作が正常であるかどうかを判定する。このテストパターンは、前記テストとは別個の計算機を用いて、検査対象である論理回路の設計データに基づき作成される。

しかし、検査パターン作成時間は論理回路の規模が大きくなるほど長時間となり、論理回路のゲート数を G とすると、テストパターン作成時間は平均して $G^{1/2}$ に比例するとされている。そこで、大規模な論理回路を試験する場合には、例えば第9図に示す如く、被試験ボード10上の論理回路を試験上互いに独立な部分論理回路 h に分割し、各部分論理回路毎にテストパターンを供給して試験を行う方式が採用されている。各部

(3)

特開平3-2579

分論理回路は出力側から入力側に向かってその入力点及び出力点が決定され、一般には、他の部分回路と一併置換する。

第10図は複数の部分論理回路に分割した論理回路に対するテストパターンを示しており、このテストパターンは、部分論理回路及びテスト目的に応じた多数のパターンからなる。

第11図はテストパターンを用いた論理回路試験装置の要部構成を示し、テストパターンはテストパターンメモリ12に書き込まれ、アドレス制御回路14により各テストパターンが順次アドレス指定されて、テストインタフェース18に供給される。テストインタフェース18は同一構成のユニット16をテスト用入出力点数（例えば、LSIの試験では数千点）分だけ備えており、各ユニット16は、テストパターンを構成する1ビットのデータをクロックパルスのタイミングで保持するDフリップフロップ18と、Dフリップフロップ18のQ出力端子と被試験ボード10の1個の端子との間に接続された被試験部・比較回

特開平3-2579(3)

路20とからなる。この被試験部・比較回路20は、切換制御信号が例えば高レベルの場合には出力被試験部回路として機能し、この回路で生成されたパルスを被試験ボード10へ供給する。一方、切換制御信号が例えば低レベルの場合には比較回路として機能し、被試験ボード10から供給される出力パターンのビットデータとDフリップフロップ18のQ出力とを比較してその比較結果を出力する。

【問題が解決しようとする課題】

しかし、各部分論理回路及びテスト目的に応じた多数のテストパターンをテストパターンメモリ12に書き込む必要があるため、テストパターンのデータ量が膨大となる。このため、テストパターンを格納するための記憶媒体、例えば磁気テープが多数（LSIの場合10巻程度）必要となり、テストのテストパターンメモリへ搬入にアータを送送する必要があるためデータ搬送時間及び試験所要時間が長くなるという問題点があった。

- 7 -

本発明の目的は、このような問題点に鑑み、必要なテストパターン格納用記憶媒体を少なくしてデータ搬送時間及び試験所要時間を短縮することができる論理回路試験方法及びその装置を提供することにある。

【問題を解決するための手段】

第1図(A)は本発明に係る論理回路試験方法の原理構成を示す。この方法は、基本的に次のステップ1S～7Sを有する。

ステップ1Sでは、試験対象である論理回路の設計データを用いて、該論理回路に対する試験用入力パターンと該入力パターンに対する該論理回路の正常出力パターンとからなるテストパターンを作成する。

ステップ2Sでは、該テストパターンから試験に有効なデータを抽出することにより該テストパターンを圧縮データに変換する。

ステップ3Sでは、該圧縮データを記憶媒体、例えば磁気テープに記憶する。

ステップ4Sでは、該記憶媒体から該圧縮データを順次読み出す。

ステップ5Sでは、読み出された該圧縮データから圧縮前のテストパターンを復元する。

ステップ6Sでは、復元した該入力パターンを該論理回路に供給して該論理回路を動作させる。

ステップ7Sでは、該論理回路の出力パターンと復元した該正常出力パターンとを比較する。

第1図(B)は本発明に係る論理回路試験装置の原理構成を示すブロック図である。この装置は、上記方法のステップ4S～7Sを実施するための装置である。なお、ステップ1S～3Sは計算機で実施される。

図中、1は圧縮データ記憶手段であり、入力パターンと正常出力パターンとの組合せからなる各テストパターンについて、第1発明では第2図(A)に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ2値の一方の値を有するビットに対応した入力点識別番号N11、N12～N1n1及び出力点識別番号N01、N02～

- 8 -

-615-

- 10 -

(4)

特開平3-2579

特開平 3-2579(4)

$N0n1$ と、該テストパターンに属する該入出力点識別番号の個数($n1+n1$)とからなる圧縮テストデータを記憶し、第2図では第2図(B)に示す如く、該テストパターンを構成するビットデータのうち試験に有効なビットかつ該ビットの値が前図値と異なるビットに対応した入力点識別番号 $N11$ 、 $N12 \sim N1n2$ 及び出力点識別番号 $N01$ 、 $N02 \sim N0n2$ と、該入出力点識別番号に対応した該ビットの値'0'又は'1'と、該テストパターンに属する該入出力点識別番号の個数($n2+n2$)とからなる圧縮データを記憶する。

2はテストパターン復元手段であり、該記憶手段1から該圧縮データを順次読み出し、該圧縮データから圧縮前のテストパターンを復元する。

3は試験実行手段であり、復元した該入力パターンを試験対象である論理回路4に供給して論理回路4を動作させ、論理回路4の出力パターンと復元した該正常出力パターンとを比較することにより論理回路4の試験を行う。

- 11 -

た、各テストパターンを番号で区別する。各テストパターンはある部分論理回路のある動作試験を行うためのものであり、表中の'-'はその試験に無効なデータであって、論理'1'または'0'のいずれであってもよい。

第4図は第3図に示すテストパターンを圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち試験に有効なビットかつ論理'1'を有するビットに対応したピン番号 i と、このテストパターンに属する該ピン番号の個数 k とからなる。例えば第4図において、番号1のテストパターンはピン番号 i が1のみで個数 k が1であり、番号3のテストパターンはピン番号 i が2と3で個数 k が2であり、番号8のテストパターンはピン番号 i が無く個数 k が0である。このようにすればテストパターンを大幅に圧縮することができる。

テストパターンは不図示の高速計算機、通常ミニコンピュータまたはスーパーミニコンピュータを用い、論理回路の設計データに基づいて作成さ

- 13 -

【作用】

テストパターンのデータのうち、一般にその大部分を占める無効データが除去されて上述の如くテストパターンが圧縮されるので、データ量が大幅に少なくなる。このため、必要なテストパターン格納用記憶媒体を少なくすることができる。例えば、従来必要とした10巻の磁気テープは、本発明によれば3巻で足りる。また、外部記憶装置からテストパターンメモリへ簡単にデータの転送を行う必要がないのでデータ転送時間及び試験所要時間を短縮することができる。

【実施例】

以下、図面に基づいて本発明の実施例を説明する。

(1) 第1実施例

第3図は、検査対象である論理回路に対するテストパターンを示す。

この論理回路の全入出力点数 N は例えば2,000であり、各入出力点をピン番号1〜 N で示す。ま

- 12 -

れ、上記の如く圧縮されて磁気テープに書き込まれる。論理回路がLSIの場合、この磁気テープはデータ圧縮を行わないと10巻程度にもなるがこの圧縮により3巻程度で足りる。当該磁気テープには、各ピン番号が入力点であるか出力点であるかを示す入出力割付データも書き込まれる。

第5図は圧縮データを用いた論理回路試験装置(テスター)の要部構成を示す。該試験ボード10上の論理回路についてのテストパターンを圧縮したデータ及び入出力割付データは、磁気テープ22に書き込まれており、磁気テープ読取装置24により読み出される。CPU26はプログラムメモリ28に書き込まれたプログラムに従って、磁気テープ読取装置24で読み取られたテストパターンを上記の如く圧縮し、その圧縮データを、テストパターンメモリの一画を構成する個数メモリ30及びピン番号メモリ32へ書き込む。圧縮パターンメモリ34にはピン番号メモリ32に書き込まれたピン番号の論理値が書き込まれ、本実施例では全て'1'が書き込まれる。また、各テス

- 516 -

- 14 -

(5)

特開平3-2579

特開平 3-2579(5)

トインタフューズ181の波形成形・比較回路20に対し1ビットが対応する制御レジスタ38には、ピン番号1～Nの各々について、上記入出力割付データに基づき、入力点であるか出力点であるかが書き込まれる。

テストインタフューズ18は第11図に示すものと同一構成であり、その構成要素には第11図に示す符号と同一符号を付して省略する。但し、全てのDフリップフロップ18のリセット端子にはリセット信号RBSBTを供給するための信号線が共通に接続されている。ユニット181の波形成形・比較回路20は制御レジスタ38の対応するビットデータによりその機能が上述の如く切り換えられる。すなわち、波形成形・比較回路20は、対応するピン番号のピンが入力点であれば波形成形回路として機能し、出力点であれば比較回路として機能する。波形成形・比較回路20から出力される比較結果は、データバスDBを介してテスト結果メモリ40に書き込まれる。このデータバスDBは上記構成要素24～38間も接続してい

- 15 -

て、手順を説明する。

(50) CPU28は磁気テープ読取装置24を介し磁気テープ22から入出力割付データ及び圧縮データを読み出し、この入出力割付データを制御レジスタ38に格納し、圧縮データのうち、個数kを個数メモリ30へ格納し、ピン番号1をピン番号メモリ32へ格納し、また、圧縮パターンメモリ34の全ビットに'1'を格納する。制御回路42は、カウンタ44の内容をクリアする。

(52) 制御回路42は、個数メモリ30からその内容kを読み出させる。

(54) kの値がテストパターンの終了を示す値、例えば18進数'FFF'であれば処理を終了し、そうでなければ、

(56) リセット信号RBSBTをテストインタフューズ18の全Dフリップフロップ18のリセット端子Rに供給してそのQ出力を全て'0'とし、

(58) k≠0であれば、

(60) メモリ32、34からそれぞれピン番号及び論理値を読み出し、

る。

制御回路42は各テストパターンについて個数メモリ30から1つの個数kを読み出し、カウンタ44を介しピン番号メモリ32及び圧縮パターンメモリ34をアドレス指定して、このテストパターンに属するk個のピン番号データ及びパターンデータを順次読み出し、それぞれデコード46、Dフリップフロップ18へ供給させる。デコード48は、ピン番号メモリ32から供給されるピン番号を解読して、テストインタフューズ18の対応する1個のDフリップフロップ18のクロック端子に'1'を供給する。一方、圧縮パターンメモリ34の出力（本実施例では'1'）はテストインタフューズ18の全てのDフリップフロップ18のデータ入力端子Dに供給される。したがって、デコード48により選択されたDフリップフロップ18のみにデータ'1'が保持され、そのQ出力端子から波形成形・比較回路20へ'1'が供給される。

次に、第8図に基づいて第5図に示す装置の処

- 16 -

(62) kの値をデクリメントし、カウンタ44に1個のバースを供給してカウンタ44の内容をインクリメントし、ステップ58へ戻る。

ステップ58でk=0となれば、テストインタフューズ18の全Dフリップフロップ18のQ出力から圧縮前のテストパターンが取り出されて、各波形成形・比較回路20へ供給されている。

(64) 制御回路42は波形成形・比較回路20へトリガ信号を供給する。これにより、テストパターンのうち入力パターンが被試験ボード10の論理回路に供給される。制御回路42は1個のクロックバースをこの論理回路に供給して動作させる。波形成形・比較回路20はこのときの出力パターンを正常出力パターンと比較する。CPU28はこの比較結果をテスト結果メモリ40へ書き込む。

次に、ステップ52へ戻って上記処理を繰り返す。

(2) 第2実施例

この第2実施例では、ハードウェア構成は第1

- 17 -

- 617 -

- 18 -

(6)

特開平3-2579

実施例と同一である。

第7図は第3図に示すテストパターンを第2の方法により圧縮したデータを示す。この圧縮データは、テストパターンを構成するビットデータのうち、試験に有効なビットかつこのビットの値がその前のテストパターンの対応する有効ビットの値と異なるもののピン番号 i と、その論理値 j と、このテストパターンに属するピン番号の全個数 k とからなる。

例えば番号2のテストパターンでは、ピン番号 i は3と8とからなりそれぞれ論理値 j は'1'、'0'を持ち、個数 k は2である。また、番号7のテストパターンでは、ピン番号4が論理値 j を持つが、番号6のテストパターンに於いてこのピン番号の論理値が'1'であるので、ピン番号データは無く、個数 k は0である。個数 i と論理値 j とは1対1に対応しており、それぞれ第5図に示すピン番号メモリ32と圧縮パターンメモリ34の対応するアドレスに格納される。

第8図はこの第2実施例に於ける第5図に示す

- 19 -

方法及びその装置によれば、テストパターンのデータのうち一般にその大部分を占める無効データを除去した圧縮データを用いるので、データ量が大幅に少なくなり、このため、必要なテストパターン格納用記憶媒体を少なくすることができ、外部記憶装置からテストパターンメモリへ搬送にデータの転送を行う必要がなくなり、データ転送時間及び試験所要時間を短縮することができるという優れた効果を奏し、論理LSI等の開発期間短縮化及び試験システムの小型化に寄与するところが多い。

4. 図面の簡単な説明

第1図(A)及び(B)は本発明の原理構成を示すブロック図。

第2図は第1図に示す圧縮データ記憶手段の記憶内容説明図である。

第3図乃至第8図は本発明の第1実施例に係り、

第3図はテストパターンの一例を示す表、

第4図はこのテストパターンの圧縮データを示

特開平3-2579(6)

装置の処理手順を示す。

この処理手順では、第6図に示すステップ56がなく、テストパターン毎にDフリップフロップ18をリセットする必要がないので、その分、処理が高速となる。また、ステップ50.Aで、メモリ34へ上記論理値 j からなる圧縮テストパターンを書き込む点で第1実施例と異なる。他の点は第1実施例と同一である。

なお、本発明には外にも種々の変形例が含まれる。

例えば、上記各実施例では入出力点が論理回路(LSIまたはPCボード等)の外部端子である場合を説明したが、入出力点は、テストモードで被試験論理回路内のフリップフロップが直列接続されてシフトレジスタが構成される場合(いわゆるスキャン方式の場合)の被フリップフロップであってもよいことは勿論である。

【発明の効果】

以上説明した如く、本発明に係る論理回路試験

- 20 -

す表、

第5図は圧縮データを用いた論理回路試験装置の要部構成を示すブロック図、

第6図は第5図に示す装置の処理手順を示すフローチャートである。

第7図及び第8図は本発明の第2実施例に係り、

第7図は第3図に示すテストパターンの圧縮データを示す表、

第8図は第5図に示す装置の処理手順を示すフローチャートである。

図中

- 10は被試験ボード
- 16はテストインタフェース
- 18はDフリップフロップ
- 20は波形成形・比較回路
- 30は個数メモリ
- 32はピン番号メモリ
- 34は圧縮パターンメモリ
- 38は制御レジスタ

- 21 -

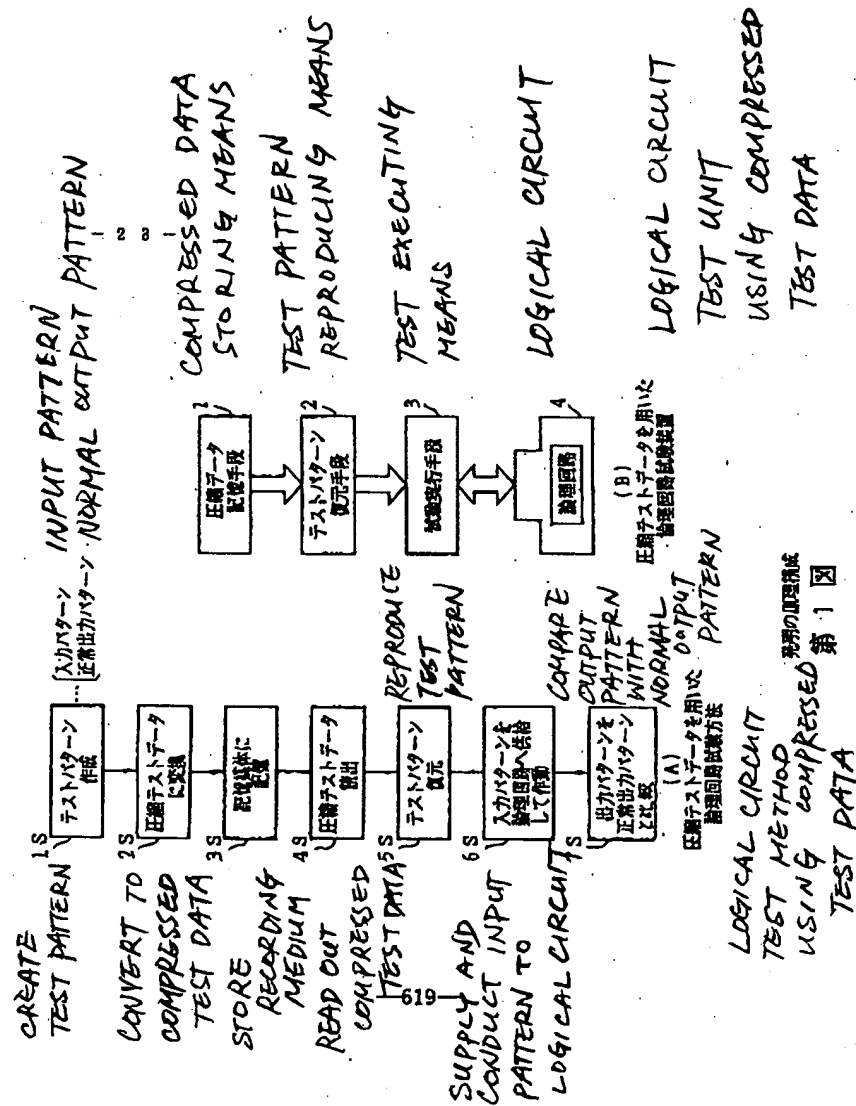
- 618 -

- 22 -

4 2 は 制 御 回 路
4 6 は デ コ - ー

46 は 7 3 - 8

代理人 奔運士 井野良 2名



FUNDAMENTAL-
CONFIGURATION
OF
THE INVENTION

(B)

特開平 3-2579

COMPRESSED DATA OF FIRST TEST PATTERN

第1テストパターン
の圧縮データ

NUMBER	値数 (m1 + n1)
	NI ₁
	NI ₂
	⋮
	NI _{m1}
	NO ₁
	NO ₂
	⋮
	NO _{n1}
	⋮

(A) 第1発明の圧縮データ
COMPRESSED DATA
OF FIRST INVENTION
圧縮データ記憶手段の記憶内容説明図
第2図

COMPRESSED DATA 特開平 3-2579(B) OF FIRST TEST PATTERN NUMBER

第1テストパターン
の圧縮データ

NUMBER	値数 (m2 + n2)
0	NI ₁
1	NI ₂
⋮	⋮
1	Nm ₂
0	NO ₁
0	NO ₂
⋮	⋮
1	NO _{n1}
	⋮

(B) 第2発明の圧縮データ
COMPRESSED DATA
OF SECOND INVENTION

FIG. 2 EXPLANATION OF RECORDED CONTENTS OF COMPRESSED DATA STORING MEANS

TEST PATTERN NUMBER
テストパターン番号

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
5	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
6	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
8	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
9	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
N	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TEST PATTERN NUMBER
テストパターン番号

1: 無効データ (1, 0 どちらでも良い) INVALID (WHEN 1 OR 0)
N: 最大テストピン数 MAX TEST PIN NUMBER

テストパターン
第3図

FIG. 3 TEST PATTERN

テストパターン
番号

TEST PATTERN NUMBER	NUMBER
1	値数 1 ピン番号 0001
2	値数 1 ピン番号 0003
3	値数 2 ピン番号 0002 ピン番号 0003
4	値数 0
5	値数 0
6	値数 1 ピン番号 0004
7	値数 1 ピン番号 0004
8	値数 0
9	値数 1 ピン番号 0006

テストパターンの圧縮データ
第4図

FIG. 4 COMPRESSED DATA OF TEST PATTERN

(9)

特開平3-2579

特開平 3-2579(9)

34 COMPRESSED PATTERN MEMORY

32 PIN NUMBER MEMORY

46 DECODER

36 CONSOLE

18 D FUP-FLOP

38 CONTROL REGISTER

20 CORRUPTING

COMPARATOR

10 BOARD

44 COUNTER

42 CONTROL CIRCUIT

30 NUMBER MEMORY

40 TEST RESULT MEMORY

28 PROGRAM MEMORY

24 MAGNETIC TAPE

READER

22 MAGNETIC TAPE

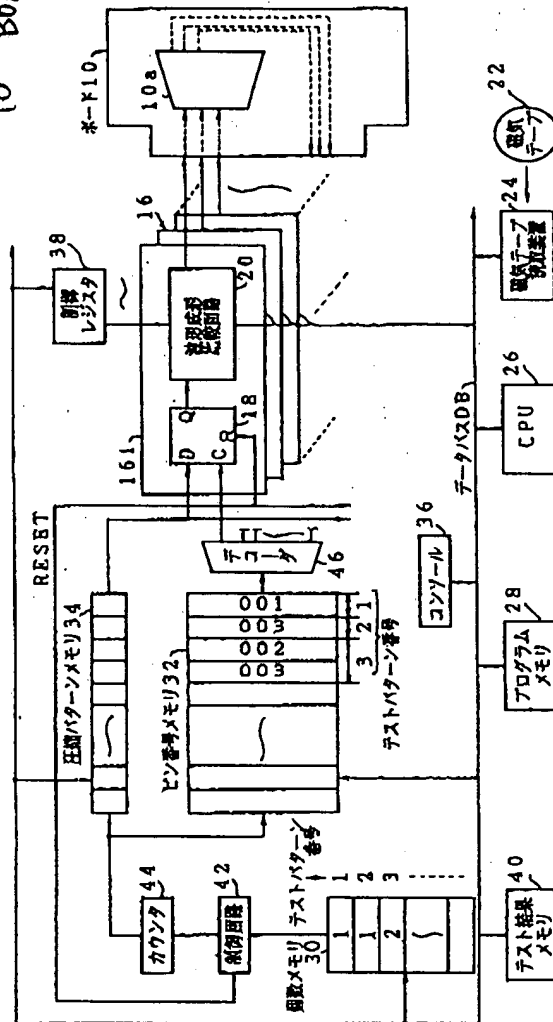
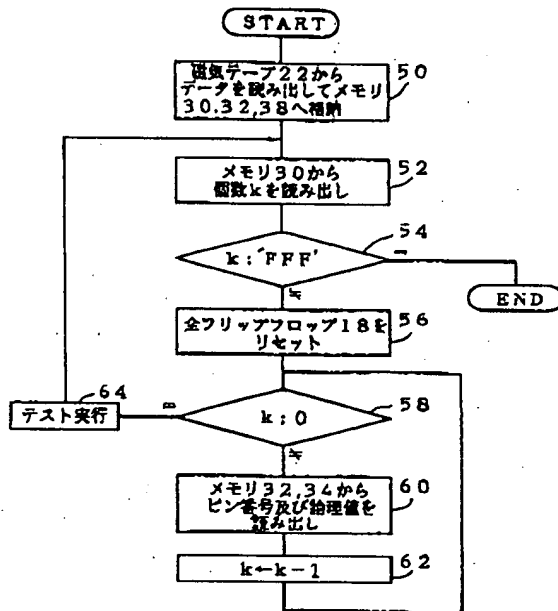
伊東国際試験装置の要約構成図
第5図MAIN CONFIGURATION
OF LOGICAL CIRCUIT TEST UNIT

FIG. 5

(10)

特開平 3-2579

特開平 3-2579(10)



第5図に示す装置の処理手順を示す
フローチャート（第1実施例）
第6図

テストパターン		給電値
番号		
1	回数 1	
	1	0001
2	回数 2	
	1	0003
3	回数 2	
	0	0008
4	回数 0	
	1	0002
5	回数 1	
	0	0007
6	回数 2	
	0	0001
7	回数 0	
	1	0004
8	回数 0	
	0	0009

テストパターンの圧縮データ
第7図

(12)

特開平3-2579

特開平 3-2579(12)

予 補 正 書 (方式)(B2)

平成 10年 10月 11日

特許庁長官殿

1. 事件の表示
平成10年特許第136504号
2. 発明の名称
圧縮データを用いた論理回路試験方法及びその装置
3. 補正をする者
事件との関係 特許出願人
住所 神奈川県川崎市中原区上小田中1015番地
名称 (522) 富士通株式会社
代表者 山本 卓 哉
4. 代理人
住所 神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
氏名 (7259) 井上 哲 史 (特許第2名)
電話 044-754-2025
5. 補正命令の日付
平成10年9月26日(受発日)
6. 補正の対象
発明の詳細な説明の欄(4)の図1

7. 補正の内容

(1) 明細書第22頁第10行と第11行との間に次の文章を挿入する。

「第9図乃至第11図は従来の技術の問題点説明に係り、第9図は論理回路分割説明図、

第10図はテストパターンを示す図、

第11図は論理回路試験装置の概観構成を示すブロック図である。」

(2) 明細書第4頁第1行に「2」とあるのを「3」と補正する。